



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07288323 A**(43) Date of publication of application: **31 . 10 . 95**

(51) Int. Cl.

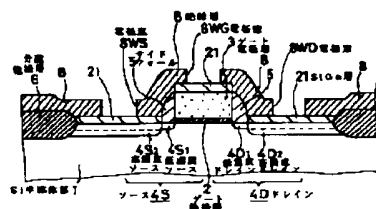
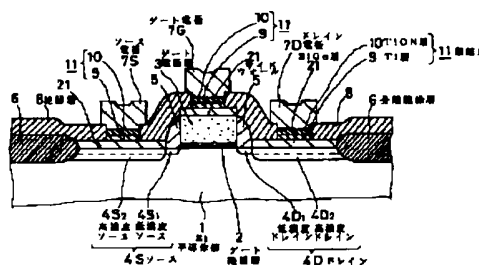
**H01L 29/78****H01L 21/28**(21) Application number: **06080684**(71) Applicant: **SONY CORP**(22) Date of filing: **19 . 04 . 94**(72) Inventor: **NOGUCHI TAKASHI****(54) INSULATED GATE FIELD-EFFECT TRANSISTOR  
AND MANUFACTURE OF IT**

(57) Abstract:

**PURPOSE:** To prevent the Al of metal electrodes having metal layers containing Al from piercing into p-n junctions and to prevent the resistance in the metal electrode attached parts from increasing, by attaching the metal electrodes ohmically through the medium of SiGe layers to a source and a drain by silicon semiconductors.

**CONSTITUTION:** A source 4S and a drain 4D forming p-n junctions against a semiconductor part 1 are formed. After that,  $\text{Si}_{1-x}\text{Ge}_x$  layers 21 are formed selectively only on Si exposed outside. And an insulating layer 8 is formed so as to cover almost all surface, and a gate metal electrode 7G, and respective metal electrodes 7S and 7D of the source and the drain by Al containing Si are formed through electrodes windows 8WG, 8WS and 8WD provided on a gate electrode layer 13 by Si and in respective metal electrode forming part on the source 4S and the drain 4D respectively by sputtering, vacuum evaporation, etc.

COPYRIGHT: (C)1995,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平7-288323

(43)公開日 平成7年(1995)10月31日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 29/78

21/28

識別記号

庁内整理番号

F I

技術表示箇所

3 0 1 R

H 0 1 L 29/ 78

3 0 1 S

審査請求 未請求 請求項の数4 O L (全 5 頁)

(21)出願番号

特願平6-80684

(22)出願日

平成6年(1994)4月19日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 野口 隆

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

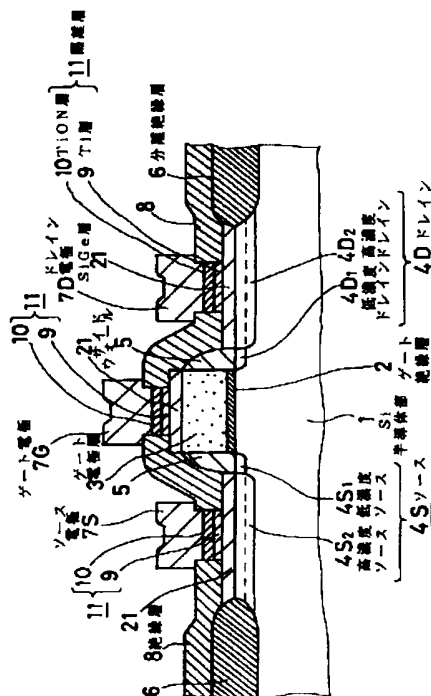
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 絶縁ゲート型電界効果トランジスタとその製法

(57)【要約】

【目的】 金属電極としてAlを含む金属層が用いられる場合のAlのp-n接合への突き抜けの問題、金属電極の被着部における抵抗増加の問題の解決をはかる。

【構成】 少なくともシリコン半導体によるソースおよびドレイン4Sおよび4Dに対して金属電極7Sおよび7Dがオーミックに被着される絶縁ゲート型電界効果トランジスタにおいて、少なくともその金属電極7Sおよび7Dがオーミックに被着されるソースおよびドレイン4Sおよび4Dに、Si<sub>1-x</sub>Ge<sub>x</sub>層21を介して金属電極7Sおよび7Dをオーミックに被着する構成とする。



## 【特許請求の範囲】

【請求項 1】 少なくともシリコン半導体によるソースおよびドレインに対して金属電極がオーミックに被着される絶縁ゲート型電界効果トランジスタにおいて、少なくとも上記金属電極がオーミックに被着される上記ソースおよびドレインに、 $\text{Si}_{1-x}\text{Ge}_x$  層を介して金属電極をオーミックに被着することを特徴とする絶縁ゲート型電界効果トランジスタ。

【請求項 2】 上記金属電極が、少なくとも Al を含む構成であることを特徴とする請求項 1 に記載の絶縁ゲート型電界効果トランジスタ。

【請求項 3】 少なくともシリコン半導体によるソースおよびドレインに対して金属電極がオーミックに被着される絶縁ゲート型電界効果トランジスタの製法において、

少なくとも上記金属電極がオーミックに被着される上記ソースおよびドレイン上の金属電極の形成部に開口を形成した酸化物絶縁層を被覆する工程と、

その後、上記酸化物絶縁層の上記開口を通じて外部に露出する少なくとも上記ソースおよびドレイン上に  $\text{Si}_{1-x}\text{Ge}_x$  層を選択的に形成する選択的  $\text{Si}_{1-x}\text{Ge}_x$  の気相成長工程と、

該  $\text{Si}_{1-x}\text{Ge}_x$  層上に金属電極をオーミックに被着する工程とを採ることを特徴とする絶縁ゲート型電界効果トランジスタの製法。

【請求項 4】 上記金属電極を、Al を含む構成材料を有することを特徴とする請求項 3 に記載の絶縁ゲート型電界効果トランジスタの製法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、絶縁ゲート型電界効果トランジスタ（以下 MOS トランジスタと略記するがゲート絶縁層は酸化物層に限られるものではない）とその製法、特にシリコンゲート電極層を有するシリコン半導体による MOS トランジスタとその製法に係わる。

## 【0002】

【従来の技術】 例えば半導体集積回路、あるいは、単体半導体素子における金属電極ないしは金属配線（本明細書においては金属電極という）は、その加工性、電気伝導度等の問題から、アルミニウム Al による金属電極が広く用いられている。

【0003】 従来のシリコン Si 半導体による MOS トランジスタ、例えばそのドレインにおいてゲート側を低濃度とした低濃度ドレイン型いわゆる LDD 型の Si 半導体による MOS トランジスタは、図 4 にその一例の断面図を示すように、Si 半導体層もしくは Si 半導体基板よりなる Si 半導体部 1 上に例えば  $\text{SiO}_2$  によるゲート絶縁層 2 を介して多結晶 Si よりなるゲート電極層 3 が形成され、このゲート電極層 3 およびゲート絶縁層 2 をマスクとして低濃度のソースおよびドレイン 4 S、

および 4 D<sub>1</sub> がイオン注入等によって形成される。その後、そのゲート電極層 3 およびゲート絶縁層 2 の低濃度ソースおよびドレイン 4 S<sub>1</sub> および 4 D<sub>1</sub> の側面に、 $\text{SiO}_2$  によるサイドウォール 5 を形成し、このサイドウォール 5 とゲート電極層 3 およびゲート絶縁層 2 をマスクに例えばイオン注入によって高濃度のソースおよびドレイン 4 S<sub>2</sub> および 4 D<sub>2</sub> が形成されて、ソースおよびドレイン 4 S および 4 D が形成される。

【0004】 6 は Si 半導体部 1 の表面に局部的熱酸化 LOCOS (Local Oxidation of Silicon) によって形成した分離絶縁層である。

【0005】 この構成において、その表面に  $\text{SiO}_2$  による絶縁層 8 が被覆され、これに穿設した電極窓を通じて各ソースおよびドレイン 4 S および 4 D と、更に多結晶 Si によるゲート電極層 3 にそれぞれソースおよびドレイン各金属電極 7 S および 7 D と、ゲート電極 7 G がオーミックに被着形成される。

【0006】 これらソースおよびドレイン各電極 7 S および 7 D、ゲート電極 7 G において Al 金属層が用いられる場合、その Al のソースおよびドレインにおけるその p-n 接合への突き抜けが問題となる。

【0007】 特に、昨今 MOS トランジスタの微細化に伴ってその接合の深さ  $x_j$  が小となると、上述の Al の接合への突き抜けが更に生じ易くなるという問題がある。一般に、Al による金属電極においては、Al 電極層下に Al を Si に対して隔離する例えば Ti 層 9 および TiON 層 10 による隔離層 11 を形成し、これの上に Al 電極層が形成される多層構造が採られる。

【0008】 しかしながら、このような隔離層を設ける場合、これによって Al の突き抜けを確実に防止するためにその厚さを大とすると、抵抗の増加を招く。

## 【0009】

【発明が解決しようとする課題】 本発明は、上述した MOS トランジスタにおいて、金属電極として Al を含む金属層が用いられる場合の Al の p-n 接合への突き抜けの問題、金属電極の被着部における抵抗増加の問題の解決をはかる。

## 【0010】

【課題を解決するための手段】 第 1 の本発明は、図 1 にその一例の断面図を示すように、少なくともシリコン半導体によるソースおよびドレイン 4 S および 4 D に対して金属電極 7 S および 7 D がオーミックに被着される絶縁ゲート型電界効果トランジスタにおいて、少なくともその金属電極 7 S および 7 D がオーミックに被着されるソースおよびドレイン 4 S および 4 D に、 $\text{Si}_{1-x}\text{Ge}_x$  層 21 を介して金属電極 7 S および 7 D をオーミックに被着する構成とする。

【0011】 第 2 の本発明は、上述の金属電極が、Al を含む構成とする。

【0012】 第 3 の本発明は、少なくともシリコン半導

体によるソースおよびドレインに対して金属電極がオーミックに被着される絶縁ゲート型電界効果トランジスタの製法において、少なくともその金属電極がオーミックに被着されるソースおよびドレイン上の金属電極の形成部に開口を形成した酸化物絶縁層を被覆する工程と、その後、この酸化物絶縁層の開口を通じて外部に露出する少なくともソースおよびドレイン上に $\text{Si}_{1-x}\text{Ge}_x$ 層を選択的に形成する選択的 $\text{Si}_{1-x}\text{Ge}_x$ の気相成長工程と、この $\text{Si}_{1-x}\text{Ge}_x$ 層上に金属電極をオーミックに被着する工程とを採って絶縁ゲート型電界効果トランジスタを作製する。

【0013】第4の本発明は、上述の本発明製法において、その金属電極を、Alを含む構成材料とする。

【0014】

【作用】上述の本発明によれば、シリコン半導体に対する電極の形成に先立って $\text{Si}_{1-x}\text{Ge}_x$ 層を形成し、これの上に金属電極の形成を行うので、この金属電極をAlによって構成する場合においても、この $\text{Si}_{1-x}\text{Ge}_x$ の存在によってAlのソースおよびドレインの接合への突き抜けを阻止することができる。

【0015】そして、本発明製法においては、この $\text{Si}_{1-x}\text{Ge}_x$ の形成を、Siに対する選択的気相成長によって形成するものであって、確実に酸化絶縁層の開口を通じて露出する電極形成部にのみ形成できるものであり、またこのようにして形成された $\text{Si}_{1-x}\text{Ge}_x$ は、低抵抗であるので、金属電極の導出を低抵抗をもって行うことができ、これによってMOSトランジスタにおける直列抵抗の低減化をはかることができ、突き抜け防止と共に浅い接合における抵抗増加、信頼性の向上をはかることができる。

【0016】

【実施例】図1～図3を参照して本発明によるMOSトランジスタとその製法の実施例を説明する。図示の例ではLDD型MOSトランジスタに本発明を適用した場合である。

【0017】この例では、図2に示すように、Si半導体層もしくはSi半導体基板よりなる低不純物濃度の第1導電型例えばn型またはp型のSi半導体部1を有する基板を用意し、その半導体部1上の素子形成部以外の表面に例えばLOCOSによって分離絶縁層6を形成する。そして、この分離絶縁層6が形成されていない素子形成部に、例えば $\text{SiO}_2$ によるゲート絶縁層2を形成し、これの上に多結晶Siよりなるゲート電極層3を形成し、このゲート電極層3およびゲート絶縁層2をマスクとして第2導電型例えばp型またはn型の低濃度のソースおよびドレイン4 $\text{S}_1$ および4 $\text{D}_1$ をイオン注入等によって形成する。

【0018】その後、そのゲート電極層3およびゲート絶縁層2の低濃度ソースおよびドレイン4 $\text{S}_1$ および4 $\text{D}_1$ の側面に、 $\text{SiO}_2$ によるサイドウォール5を形成

し、このサイドウォール5とゲート電極層3およびゲート絶縁層2をマスクに例えばイオン注入によって低濃度ソースおよびドレイン4 $\text{S}_1$ および4 $\text{D}_1$ と同導電型すなわち第2導電型の高濃度のソースおよびドレイン4 $\text{S}_2$ および4 $\text{D}_2$ を形成して、それぞれゲート部側に低濃度ソースおよびドレイン4 $\text{S}_1$ および4 $\text{D}_1$ を有し半導体部1に対しp-n接合を形成したソースおよびドレイン4 $\text{S}$ および4 $\text{D}$ を形成する。

【0019】その後、特に本発明においては、 $\text{Si}_{1-x}\text{Ge}_x$ の選択的低温気相成長を行う。このようにすると、外部に露出したSi上のみ選択的に、 $\text{Si}_{1-x}\text{Ge}_x$ 層21を形成することができる。この $\text{Si}_{1-x}\text{Ge}_x$ の選択的低温気相成長は、例えば550℃の成長温度で $\text{SiH}_4$ および $\text{GeH}_4$ を原料ガスをSi表面に供給することで、CVD（化学的気相成長）する。この方法はすでに知られている方法（例えばExtended Abstracts of the 1993 International Conference on Solid State Devices and Materials, Makuahari, 1993, pp. 380-382参照）を適用できるものである。

【0020】 $\text{Si}_{1-x}\text{Ge}_x$ は、その厚さを50～3000Å程度に、x値を0.01≤x≤0.85程度に選定し得る。

【0021】尚、この $\text{Si}_{1-x}\text{Ge}_x$ 層21の堆積に先立って例えば750℃で $\text{H}_2$ 雰囲気中での熱処理を行うことにより、 $\text{Si}_{1-x}\text{Ge}_x$ の選択的堆積を行うSiの表面に自然酸化によって形成される酸化膜の除去を行うことが望ましい。しかしながら、 $\text{Si}_{1-x}\text{Ge}_x$ 層21のCVDにおいて、その供給ガス中に $\text{H}_2$ を含めるとか、作業に先立って $\text{H}_2$ を供給することもできる。

【0022】また、この $\text{Si}_{1-x}\text{Ge}_x$ 層21の選択的CVDにおいて、その原料ガス中にソースおよびドレイン4 $\text{S}$ および4 $\text{D}$ の導電型と同導電型を形成する不純物ガス例えばn型である場合は $\text{B}_2\text{H}_6$ 等を、p型である場合は $\text{AsH}_3$ 等を混入して供給することによりボロンBあるいは砒素Asがドーピングされた $\text{Si}_{1-x}\text{Ge}_x$ 層21として形成することができる。しかし同一基板上にn型とp型の両導電型を含む例えば相補型MOS（CMOS）構成の集積回路装置を構成する場合には、不純物を含まない $\text{Si}_{1-x}\text{Ge}_x$ 層21の選択CVDを行って後に、イオン注入等によって所定の導電型の不純物例えばB、As等のドーピングを行う。

【0023】そして、図3に示すように、例えば $\text{SiO}_2$ による絶縁層8をCVD法によって全面的に形成し、フォトリソグラフィによって、Siによるゲート電極層3上、ソースおよびドレイン4 $\text{S}$ および4 $\text{D}$ 上の各金属電極形成部にそれぞれ電極窓8WG、8WSおよび8WDを穿設する。

【0024】その後、図1に示すように、各電極窓8WG、8WSおよび8WDを通じてそれぞれ例えば4%のSiを含むAlによるゲート金属電極7G、ソースおよ

びドレイン各金属電極7Sおよび7Dを被着形成する。これらゲート金属電極7G、ソースおよびドレイン各金属電極7Sおよび7Dは、Al層を各電極窓8WG、8WSおよび8WD内を含んで全面的にスパッタリング、真空蒸着等によって形成し、フォトリソグラフィによってパターン化することによって同時に形成することができる。

【0025】この場合各Alよりなる金属電極7G、7Sおよび7Dは、Si<sub>1-x</sub>Ge<sub>x</sub>層21上に直接的に被着形成することもできるが、更に前述したAlの突き抜けを確実に防止するために図1に示すように、Si<sub>1-x</sub>Ge<sub>x</sub>層21上に例えばTi層9およびTiON層10を順次スパッタリング等によって形成した隔離層11を形成し、これの上に上述のAlによる金属電極7G、7Sおよび7Dの形成を行うことができる。

【0026】上述したように、本発明によるMOSトランジスタは、Alを含む金属電極をSi<sub>1-x</sub>Ge<sub>x</sub>層21を介して目的とするSi上に形成するので、このSi<sub>1-x</sub>Ge<sub>x</sub>層21によってAlのSiすなわちソースおよびドレインのp-n接合に対する突き抜けを阻止することができるものである。

【0027】そして、この場合のSi<sub>1-x</sub>Ge<sub>x</sub>層21は、その不純物濃度を例えば10<sup>20</sup>atoms/cm<sup>3</sup>とし、厚さを例えば100nmとし、Ge成分xをx=0.85とすると、そのシート抵抗は50Ω/□程度の低い値を示すので、各電極導出部の抵抗の低減化を図ることができる。

【0028】尚、図示の例ではLDD型のMOSトランジスタに本発明を適用した場合であるが、LDD型に限られるものではないことは言うまでもなく、また互いに異なる導電型のC-MOSを有する集積回路における各MOSトランジスタに本発明を適用できるなど種々の構成を採る場合に適用できる。

【0029】また、上述した例では、予め形成されているソースおよびドレインにオーミックコンタクトを行うようにした場合であるが、不純物ドーピングのなされたSi<sub>1-x</sub>Ge<sub>x</sub>層から半導体部1への不純物拡散によってソースおよびドレインの形成を行うようにしてコンタクト部とソースおよびドレインをセルフアラインすることができる。

【0030】

\*

\*【発明の効果】上述の本発明によれば、シリコン半導体に対する電極の形成に先立ってSi<sub>1-x</sub>Ge<sub>x</sub>層を形成し、これの上に金属電極の形成を行うので、この金属電極をAlによって構成する場合においても、このSi<sub>1-x</sub>Ge<sub>x</sub>の存在によってAlのソースおよびドレインの接合への突き抜けを確実に阻止することができる。

【0031】したがって、信頼性の高い目的とするトランジスタを構成することができる。また、上述したようにAlの突き抜けを確実に阻止することができるので、よりソースおよびドレインを浅い接合として形成でき、このトランジスタのより小型微細化を促進できることから、集積回路においてより高密度化をはかることができる。

【0032】そして、本発明製法においては、このSi<sub>1-x</sub>Ge<sub>x</sub>の形成を、Siに対する選択的気相成長によって形成するものであって、確実に酸化絶縁層の開口を通じて露出する電極形成部にのみ形成できるものであり、またこのようにして形成されたSi<sub>1-x</sub>Ge<sub>x</sub>は、低抵抗を有するので、金属電極の導出を低抵抗をもって行うことができ、これによってMOSトランジスタにおける直列抵抗の低減化をはかることができる。

【図面の簡単な説明】

【図1】本発明による絶縁ゲート型電界効果トランジスタの一例の要部の断面図である。

【図2】本発明製法の一例の一工程における断面図である。

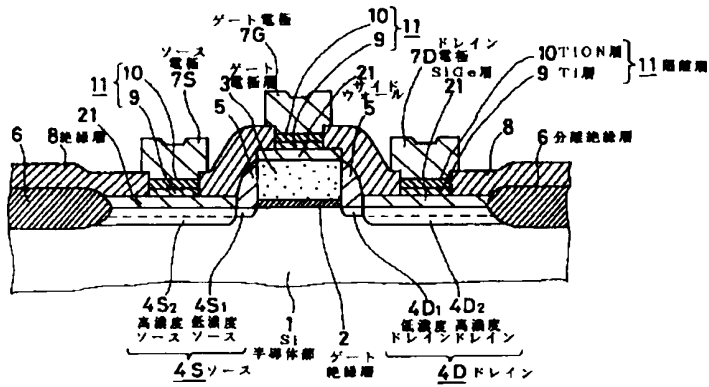
【図3】本発明製法の一例の一工程における断面図である。

【図4】従来の絶縁ゲート型電界効果トランジスタの要部の断面図である。

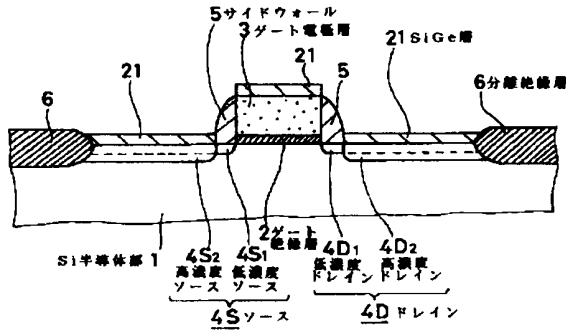
【符号の説明】

- 1 Si半導体部
- 2 ゲート絶縁層
- 3 Siゲート電極層
- 4S ソース
- 4D ドレイン
- 7S ソース電極
- 7D ドレイン電極
- 7G ゲート電極
- 21 Si<sub>1-x</sub>Ge<sub>x</sub>層

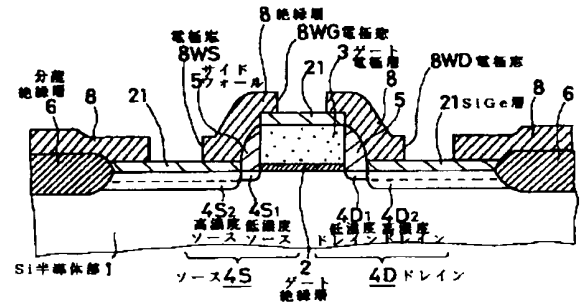
【図1】



【図2】



【図3】



【図4】

